

10/566914  
IAP20 Rec'd PCT/PTO 03 FEB 2006

## 明 細 書

## クロック入出力装置

## 技術分野

- [0001] 本発明は、発振回路などで発生されたクロックを供給するクロック経路において使用されるバッファやセクタ回路などのクロック入出力回路に関するもので、特に、論理ゲートが組み合わされて構成されるクロック入出力回路に関する。

## 背景技術

- [0002] 従来より、発振器で生成されたクロックを別のICなどに入力される際、ICに入力されるクロックの波形劣化を防ぐために、発振器とICとの間にはクロックバッファが挿入される(非特許文献1参照)。このようなクロックバッファとして、インバータが用いられる。又、周波数の異なる複数のクロックが出力される発振器などにおいては、出力するクロックを選択するためのセクタ回路やスイッチなどとともに構成される。
- [0003] このようなセクタ回路やスイッチとしてNANDゲートやNORゲートなどの論理ゲートが用いられる。例えば、図8のように、発振器からのクロックとクロックの出力の可否を決定するイネーブル信号とが入力されるNANDゲートNaがセクタ回路として構成され、このNANDゲートNaから出力されるクロックがバッファとして構成されるインバータIvに入力される。図8のように構成されるNANDゲートNa及びインバータIvは、図9のように、複数のMOSTランジスタで構成される。
- [0004] 即ち、NANDゲートNaが、ソースに直流電圧VDDが印加されるPチャネルのMOSTランジスタT1、T2と、MOSTランジスタT1、T2のドレインにドレインが接続されたNチャネルのMOSTランジスタT3と、MOSTランジスタT3のソースにドレインが接続されるとともにソースが接地されたNチャネルのMOSTランジスタT4とによって構成される。このNANDゲートNaにおいて、MOSTランジスタT2、T3のゲートにイネーブル信号が入力されるとともに、MOSTランジスタT1、T4のゲートにクロックが入力される。そして、MOSTランジスタT1〜T3のドレインの接続ノードが出力となる。
- [0005] 又、インバータIvが、ソースに直流電圧VDDが印加されたPチャネルのMOSTランジスタT5と、MOSTランジスタT5のドレインにドレインが接続されるとともにソースが

接地されたNチャネルのMOSTランジスタT6とによって構成される。このインバータI<sub>v</sub>において、MOSTランジスタT1ーT3のドレインの接続ノードがMOSTランジスタT4, T5のゲートに接続されて、NANDゲートNaからの出力が入力される。そして、MOSTランジスタT4, T5のドレインの接続ノードが出力となる。

非特許文献1:「トランジスタ技術 2001年8月号」CQ出版社、第255頁ー第256頁  
発明の開示

発明が解決しようとする課題

- [0006] 上述のように、発振器からの出力電圧が0ーVDDの間で変化するとともに、インバータI<sub>v</sub>に直流電圧VDDが印加される場合、インバータI<sub>v</sub>の閾値電圧が $VDD/2$ となるように設計される。しかしながら、NANDゲートNaにおいては、出力と電源電圧VDDとの間に並列に接続されたMOSTランジスタT1, T2が設置され、出力と接地電圧との間に直列に接続されたMOSTランジスタT3, T4が設置されているため、電源電圧側と接地電圧側とで設けられるMOSTランジスタによるON抵抗が不均衡となる。
- [0007] 即ち、ハイとなるイネーブル信号が与えられて、NANDゲートNaに入力されるクロックが出力されるとき、MOSTランジスタT2がOFFとされるとともにMOSTランジスタT3がONとされる。このように、イネーブル信号がハイのとき、電源電圧側に1つのMOSTランジスタT1が備えられ、接地電圧側に2つのMOSTランジスタT3, T4が備えられた状態となるため、クロックによる閾値電圧が $VDD/2$ よりも高い電圧にずれる。
- [0008] このように、閾値電圧が $VDD/2$ よりも高いNANDゲートNaと閾値電圧が $VDD/2$ となるインバータI<sub>v</sub>とが接続されているとき、NANDゲートNaに入力されるクロックとNANDゲートNaからの出力とインバータI<sub>v</sub>からの出力とが、図10のタイミングチャートのような関係となる。図10(a)のように、NANDゲートNaに入力されるクロックがロー(接地電圧)からハイ(VDD)に切り替わるとき、クロックの電圧が $V_{th}(>VDD/2)$ よりも高くなると、図10(b)のように、NANDゲートNaからの出力がハイからローに切り替わる。このように、NANDゲートNaからの出力がハイからローに切り替わるとき、NANDゲートNaからの出力が $VDD/2$ より低くなると、図10(c)のように、インバータI<sub>v</sub>からの出力がローからハイに切り替わる。

- [0009] 又、図10(a)のように、NANDゲートNaに入力されるクロックがハイからローに切り替わるとき、クロックの電圧が $V_{th}$ よりも低くなると、図10(b)のように、NANDゲートNaからの出力がローからハイに切り替わる。このように、NANDゲートNaからの出力がローからハイに切り替わるとき、NANDゲートNaからの出力が $VDD/2$ より高くなると、図10(c)のように、インバータIvからの出力がハイからローに切り替わる。
- [0010] このように、NANDゲートNaの閾値電圧 $V_{th}$ が $VDD/2$ より高いので、その出力がハイからローに切り替わるタイミングと、その出力がローからハイに切り替わるタイミングとが、図10(b)のように異なるものとなる。よって、NANDゲートNaに入力されるクロックのデューティ比が50%であっても、NANDゲートNaから出力されるクロックのデューティ比は50%からずれてしまう。そのため、閾値電圧が $VDD/2$ となるインバータIvから出力されるクロックのデューティ比も50%からずれたものとなり、後段に接続されるICの動作に悪影響を与える。特に、このクロックのデューティ比のずれによる影響は、高速周波数のクロックを用いたときに、より顕著なものとなる。
- [0011] 図8のように、論理ゲートで構成されるセレクト回路やスイッチとバッファとによって構成された回路装置であるクロック入出力装置に対する動作確認は、配線抵抗及び配線容量を含めた回路の正確な動作速度及び論理の切替タイミングを計測するバックアノテーションなどの実サンプルに近い条件でのシミュレーションによって行われる。即ち、従来は、このようなシミュレーションにより回路構成を検討し、出力されるクロック入出力回路より出力されるクロックのデューティ比を50%とするように、装置の動作状態を保証している。
- [0012] 又、このシミュレーションで保証された装置に対して、実サンプル測定では、インバータの閾値電圧を確認することで、その動作を簡易的に保証している。しかしながら、インバータの閾値電圧の確認だけでは、クロック入出力装置から出力されるクロックのデューティ比の保証に対する信頼性が低い。更に、各クロック入出力装置毎に、出力されるクロックのデューティ比を確認するには、各装置毎に実際に動作させてデューティ比を計測する必要があり、その確認のための検査工程が煩雑なものであった。
- [0013] このような問題を鑑みて、本発明は、出力するクロックのデューティ比が50%に近い値に保証されたクロック入出力装置を提供することを目的とする。又、本発明は、出

力するクロックのデューティ比を容易に測定することができるクロック入出力装置を提供することを別の目的とする。

#### 課題を解決するための手段

- [0014] 上記目的を達成するために、本発明のクロック入出力装置は、クロックを通過させるゲートとして動作する論理ゲートにより構成されるクロック入出力装置において、前記論理ゲートが、入力に対して出力を変化させる閾値電圧が供給される電源電圧の略 $1/2$ 倍の電圧値であるとともにハイ・ロー・ハイインピーダンスの3出力を行うスリーステートインバータと、入力に対して出力を変化させる閾値電圧が供給される電源電圧の略 $1/2$ 倍の電圧値であるインバータと、によって構成されることを特徴とする。
- [0015] このようなクロック入出力装置において、請求項2に記載するように、前記論理ゲートの1つが2入力1出力のANDゲートであり、該ANDゲートが、入力端子が該ANDゲートの一方の入力となる第1スリーステートインバータと、入力端子が該ANDゲートの他方の入力となるとともに、入力される信号の状態によりハイインピーダンスとするか否かを決定する状態制御端子と入力端子とが接続される第2スリーステートインバータと、該第1及び第2スリーステートインバータの出力端子の接続ノードと入力端子が接続されるとともに、出力端子が該ANDゲートの出力となる第1インバータと、前記第2スリーステートインバータの入力端子に出力端子が接続されるとともに、出力端子が前記第1スリーステートインバータの状態制御端子に接続された第2インバータと、によって構成されるものとしても構わない。
- [0016] このとき、前記第1スリーステートインバータにクロックが入力されるとともに、前記第2スリーステートインバータにイネーブル信号が入力され、該イネーブル信号に基づいて、入力される前記クロックを前記第1インバータより出力することの可否が設定されるようにしても構わない。
- [0017] 又、請求項3に記載するように、前記論理ゲートの1つが2入力1出力のORゲートであり、該ORゲートが、入力端子が該ORゲートの一方の入力となるとともに、入力される信号の状態によりハイインピーダンスとするか否かを決定する状態制御端子に該ORゲートの他方の入力が入力される第1スリーステートインバータと、入力端子が該ORゲートの他方の入力となる第2スリーステートインバータと、該第1及び第2スリース

テートインバータの出力端子の接続ノードと入力端子が接続されるとともに、出力端子が該ORゲートの出力となる第1インバータと、前記第2スリーステートインバータの入力端子に入力端子が接続されるとともに、出力端子が前記第2スリーステートインバータの状態制御端子に接続された第2インバータと、によって構成されるものとしても構わない。

[0018] 又、請求項4に記載するように、前記論理ゲートの1つが、入力される選択信号に基づいて2つのクロックから1つのクロックを選択して出力する論理ゲートであり、該論理ゲートが、入力端子に一方のクロックが入力されるとともに、入力される信号の状態によりハイインピーダンスとするか否かを決定する状態制御端子に前記選択信号が入力される第1スリーステートインバータと、入力端子に他方のクロックが入力される第2スリーステートインバータと、該第1及び第2スリーステートインバータの出力端子の接続ノードと入力端子が接続されるとともに、出力端子が該論理ゲートの出力となる第1インバータと、入力端子に前記選択信号が入力されるとともに、出力端子が前記第2スリーステートインバータの状態制御端子に接続された第2インバータと、によって構成されるものとしても構わない。

[0019] 尚、このような論理ゲートは、前記一方のクロックが入力される第1ANDゲートと、前記他方のクロックが入力されるとともに前記選択信号が入力される第2ANDゲートと、入力される前記選択信号を反転して前記第1ANDゲートに出力するインバータと、前記第1及び第2ANDゲートからの出力が入力されるORゲートによって構成されるものと等価である。このとき、前記第1及び第2ANDゲートを請求項2に記載のANDゲートによって構成するようにするとともに、ORゲートを請求項3に記載のORゲートによって構成するようにしても構わない。

[0020] この請求項4における論理ゲートによると、前記選択信号によって、前記第1スリーステートインバータに入力されるクロックと前記第2スリーステートインバータに入力されるクロックとのいずれか一方が選択されて、前記第1インバータより出力されるクロックとされる。

[0021] 請求項2～請求項4に記載のクロック入出力装置において、前記第1インバータが、状態制御端子が接地されたスリーステートインバータによって構成されるものとしても

構わない。

[0022] 更に、上述のクロック入出力装置において、請求項6に記載するように、前記スリーステートインバータが、第1電極に電源電圧が印加される第1トランジスタと、該第1トランジスタの第2電極に第1電極が接続される該第1トランジスタと同一極性の第2トランジスタと、該第2トランジスタの第2電極に第2電極が接続される該第1トランジスタと逆極性の第3トランジスタと、該第3トランジスタの第1電極に第2電極が接続されるとともに、第1電極が接地される該第1トランジスタと逆極性の第4トランジスタと、出力端子が前記第3トランジスタの制御電極に接続されたインバータと、を備えるとともに、前記第1及び前記第4トランジスタの制御電極の接続ノードが当該スリーステートインバータの入力端子として、前記第2及び第3トランジスタの第2電極の接続ノードが当該スリーステートインバータの出力端子として、前記第2トランジスタの制御電極と前記インバータの入力端子との接続ノードが当該スリーステートインバータの状態制御端子として、それぞれ構成されるものとしても構わない。

[0023] 更に、請求項7に記載するように、前記クロック入出力装置の最終段に設けられるインバータが、第1電極に電源電圧が印加されるとともに、通常動作時にはONとされる第5トランジスタと、該第5トランジスタの第2電極に第1電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第5トランジスタと同一極性の第6トランジスタと、該第6トランジスタの第2電極に第2電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第5トランジスタと逆極性の第7トランジスタと、該第7トランジスタの第1電極に第2電極が接続され、第1電極が接地されるとともに、通常動作時にはONとされる該第5トランジスタと逆極性の第8トランジスタと、によって構成され、該クロック入出力装置から出力されるクロックのデューティ比を計測する際、一方の端子が接地電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第6トランジスタの第2電極及び前記第7トランジスタの第2電極の接続ノードとを接続する場合、前記第5トランジスタをONとするとともに前記第8トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測し、又、一方の端子が電源電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第6トランジスタの第2電極及び前記

第7トランジスタの第2電極の接続ノードとを接続する場合、前記第8トランジスタをONとするとともに前記第5トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測するようにしても構わない。

[0024] 又、請求項8に記載のクロック入出力装置は、クロックを通過させるゲートとして動作する論理ゲートにより構成されるクロック入出力装置において、該クロック入出力装置の

最終段に設けられるインバータが、第1電極に電源電圧が印加されるとともに、通常動作時にはONとされる第1トランジスタと、該第1トランジスタの第2電極に第1電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第1トランジスタと同一極性の第2トランジスタと、該第2トランジスタの第2電極に第2電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第1トランジスタと逆極性の第3トランジスタと、該第3トランジスタの第1電極に第2電極が接続され、第1電極が接地されるとともに、通常動作時にはONとされる該第1トランジスタと逆極性の第4トランジスタと、によって構成され、該クロック入出力装置から出力されるクロックのデューティ比を計測する際、一方の端子が接地電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第2トランジスタの第2電極及び前記第3トランジスタの第2電極の接続ノードとを接続する場合、前記第1トランジスタをONとするとともに前記第4トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測し、又、一方の端子が電源電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第2トランジスタの第2電極及び前記第3トランジスタの第2電極の接続ノードとを接続する場合、前記第4トランジスタをONとするとともに前記第1トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測することを特徴とする。

[0025] このようなクロック入出力装置において、前記抵抗が電源電圧と接続される場合、前記抵抗を流れる電流を積分した値が所定値より大きくなったとき、出力クロックのデューティ比が基準値よりも小さいことを表し、前記抵抗を流れる電流を積分した値が所定値より小さくなったとき、出力クロックのデューティ比が基準値よりも大きいことを

表す。又、前記抵抗が接地電圧と接続される場合、前記抵抗を流れる電流を積分した値が所定値より大きくなったとき、出力クロックのデューティ比が基準値よりも大きいことを表し、前記抵抗を流れる電流を積分した値が所定値より小さくなったとき、出力クロックのデューティ比が基準値よりも小さいことを表す。

- [0026] 更に、上述の各クロック入出力装置は、1つの半導体集積回路装置に構成されるものとしても構わない。

#### 発明の効果

- [0027] 本発明のクロック入出力装置は、入力に対して出力を変化させる閾値電圧が供給される電源電圧の略1/2倍の電圧値であるスリーステートインバータ及びインバータによる論理ゲートで構成されるため、入力されるクロックのデューティ比が50%であるとき、スリーステートインバータ及びインバータから出力されるクロックのデューティ比を50%に保持することができる。よって、50%のデューティ比のクロックが入力されるクロック入出力装置から出力されるクロックのデューティ比を50%として保証することができる。

- [0028] 又、スリーステートインバータは、電源電圧と出力端子との間に2つのトランジスタを直列に接続させるとともに、接地電圧と出力端子との間に2つのトランジスタを直列に接続させているため、電源電圧側と接地電圧側のトランジスタのON抵抗による合成抵抗を略等しいものとしている。よって、入力に対して出力を変化させる閾値電圧が供給される電源電圧の略1/2倍の電圧値とし、入力されるクロックのデューティ比が50%であるとき、出力するクロックのデューティ比を50%に保持することができる。

- [0029] 又、クロック入出力装置最終段に設けられるインバータが、4つの直列に接続されたトランジスタで構成され、通常動作時においては、接地電圧側及び電源電圧側それぞれのトランジスタをONとし、電源電圧と出力端子との間に2つのトランジスタを直列に接続させるとともに、接地電圧と出力端子との間に2つのトランジスタを直列に接続させている

。よって、電源電圧側と接地電圧側のトランジスタのON抵抗による合成抵抗を略等しいものとしている。更に、接地電圧側及び電源電圧側それぞれのトランジスタの一方をOFFとするとともに出力端子に接続した抵抗を流れる電流量を計測することで、



出力するクロックのデューティ比を確認することができるため、出力保証するクロックのデューティ比を容易に検出することができる。

### 図面の簡単な説明

[0030] [図1]は、本発明の第1の実施形態のクロック入出力装置の内部構成を示す回路図である。

[図2]は、スリーステートインバータの構成を示す回路図である。

[図3A]は、本発明の第1の実施形態のクロック入出力装置の別の構成と、その等価回路とを示す回路図である。

[図3B]は、図3Aのクロック入出力装置の等価回路とを示す回路図である。

[図4]は、本発明の第1の実施形態のクロック入出力装置の別の構成を示す回路図である。

[図5]は、本発明の第2の実施形態のクロック入出力装置の内部構成を示す回路図である。

[図6]は、図5のクロック入出力装置と測定装置との関係を示す回路図である。

[図7]は、図6の測定装置による測定結果を説明するためのタイミングチャートである。

[図8]は、従来のクロック入出力装置の内部構成を示す論理回路図である。

[図9]は、図8のクロック入出力装置の内部構成を示す回路図である。

[図10]は、図8のクロック入出力装置の動作を示すタイミングチャートである。

### 符号の説明

[0031] Iv1～Iv3, Iv11～Iv13, Iva スリーステートインバータ  
Iv4, Iv5, Iv14, Ivx, Ivy インバータ

### 発明を実施するための最良の形態

#### [0032] <第1の実施形態>

本発明の第1の実施の形態について、図面を参照して以下に説明する。図1は、本実施形態におけるクロック入出力装置の回路構成を示す回路図である。尚、本実施形態において使用するクロック入出力装置は、図8の回路構成によるクロック入出力装置と同一の動作を行うものとする。又、このクロック入出力装置が、1つの半導体集積回路装置に構成される。

- [0033] 図1のクロック入出力装置は、クロックが入力端子に入力されるスリーステートインバータIv1と、イネーブル信号が入力端子に入力されるスリーステートインバータIv2及びインバータIv4と、スリーステートインバータIv1, Iv2からの出力が入力されるスリーステートインバータIv3と、を備える。又、スリーステートインバータIv1の状態制御端子にインバータIv4からの出力が入力されるとともに、スリーステートインバータIv2の状態制御端子にイネーブル信号が入力される。更に、スリーステートインバータIv3の状態制御端子が接地される。
- [0034] このようにクロック入出力装置が構成されるとき、スリーステートインバータIv1〜Iv3はそれぞれ図2のように構成される。即ち、図2のスリーステートインバータIva(図1のスリーステートインバータIv1〜Iv3に相当する)は、直流電圧VDDがソースに印加されるPチャネルのMOSTランジスタTaと、MOSTランジスタTaのドレインにソースが接続されるPチャネルのMOSTランジスタTbと、MOSTランジスタTbのドレインにドレインが接続されるNチャネルのMOSTランジスタTcと、MOSTランジスタTcのソースにドレインが接続されるとともにソースが接地されるNチャネルのMOSTランジスタTdと、MOSTランジスタTcのゲートに出力端子が接続されたインバータIvxと、を備える。
- [0035] 又、図2のスリーステートインバータIvaにおいて、MOSTランジスタTa, Tdのゲートの接続ノードが入力端子として構成され、又、MOSTランジスタTbのゲートとインバータIvxの入力端子との接続ノードが状態制御端子として構成され、又、MOSTランジスタTb, Tcのドレインの接続ノードが出力端子として構成される。よって、状態制御端子にハイ(VDD)となる信号が入力されたとき、MOSTランジスタTbのゲートにハイが入力されるとともに、MOSTランジスタTcのゲートにインバータIvxを介してロー(接地電圧)が入力される。よって、MOSTランジスタTb, TcがともにOFFとなるため、スリーステートインバータIvaの出力端子からの出力がハイインピーダンス状態となる。
- [0036] 又、状態制御端子にローとなる信号が入力されたとき、MOSTランジスタTbのゲートにローが入力されるとともに、MOSTランジスタTcのゲートにインバータIvxを介してハイが入力される。よって、MOSTランジスタTb, TcがともにONとなる。そのため、入力端子にハイとなる信号が入力されたとき、MOSTランジスタTa, Tdのゲートにハ

イが入力されて、MOSTランジスタTaがOFFとなるとともに、MOSTランジスタTdがONとなり、出力端子からローとなる信号が出力される。又、入力端子にローとなる信号が入力されたとき、MOSTランジスタTa, Tdのゲートにローが入力されて、MOSTランジスタTaがONとなるとともに、MOSTランジスタTdがOFFとなり、出力端子からハイとなる信号が出力される。

[0037] このように、スリーステートインバータIvaでは、状態制御端子にローが入力されるとき、入力端子に入力される信号が反転されて出力端子より出力される。そして、状態制御端子にローが入力されてMOSTランジスタTb, TcがONとされるとき、出力端子と電源電圧VDDとの間に2つのMOSTランジスタTa, Tbが直列に接続されるとともに、出力端子と接地電圧との間に2つのMOSTランジスタTc, Tdが直列に接続されるため、電源電圧側と接地電圧側とにおけるMOSTランジスタによるON抵抗が同等となる。よって、スリーステートインバータIvaにおける閾値電圧は略 $VDD/2$ である。

[0038] 図1のスリーステートインバータIv1〜Iv3の構成が、図2のスリーステートインバータIvaと同様の構成とされるため、イネーブル信号がハイのとき、状態制御端子にハイのイネーブル信号が入力されるスリーステートインバータIv2の出力端子がハイインピーダンス状態となる。又、ハイのイネーブル信号がインバータIv4で反転されて出力され、ローの信号がスリーステートインバータIv1の状態制御端子に入力されるため、スリーステートインバータIv1からは、入力されるクロックを反転した反転クロックが出力される。更に、このとき、スリーステートインバータIv3の状態制御端子が接地されているため、スリーステートインバータIv1からの反転クロックを反転したクロックがスリーステートインバータIv3の出力端子より出力される。

[0039] 又、イネーブル信号がローのとき、ローのイネーブル信号がインバータIv4で反転されて出力され、ハイの信号がスリーステートインバータIv1の状態制御端子に入力されるため、スリーステートインバータIv1の出力端子がハイインピーダンス状態となる。又、状態制御端子にローのイネーブル信号が入力されるスリーステートインバータIv2は、ローのイネーブル信号が入力端子にも入力されるため、出力端子からは反転したハイの信号を出力する。更に、このとき、スリーステートインバータIv3の状態制御端子が接地されているため、スリーステートインバータIv2から出力されるハイの信号

を反転

したローの信号がスリーステートインバータIv3の出力端子より出力される。

[0040] このように、図1に示すクロック入出力装置において、スリーステートインバータIv1、Iv2及びインバータIv4によって、図8におけるNANDゲートNaと同様の動作を行うゲート回路が構成されるとともに、スリーステートインバータIv3によって、図8におけるインバータIvと同様の動作を行うゲート回路が構成される。即ち、この図1に示すクロック入出力装置は、ANDゲートと同様の動作を行うゲート回路としても使用可能である。

[0041] このように、スリーステートインバータIv1ーIv3によって構成されるとき、イネーブル信号をハイとして、クロックが入力されるスリーステートインバータIv1ーIv3それぞれの閾値電圧が、図2のスリーステートインバータIvaにおいて説明したように、略VDD/2である。そのため、デューティ比が50%となるクロックが図1のクロック入出力装置に入力される際、スリーステートインバータIv1から出力される反転クロックのデューティ比を50%ととすることができる。

[0042] 又、デューティ比が50%となる反転クロックがスリーステートインバータIv1からスリーステートインバータIv3に入力されるため、スリーステートインバータIv3から出力されるクロックのデューティ比を50%ととすることができる。よって、図1のように構成されるクロック入出力装置において、出力するクロックのデューティ比を50%に保証することが可能である。又、インバータIv4においても、図9のように構成されるインバータIvと同様の構成であるため、その閾値電圧は略VDD/2である。

[0043] 本実施形態のように、出力端子及び電源電圧間と出力端子及び接地電圧間のそれぞれにおいて設けられるMOSTランジスタの接続状態を同等にしたスリーステートインバータ及びインバータによって論理ゲートを構成することで、出力端子及び電源電圧間と出力端子及び接地電圧間のそれぞれにおけるMOSTランジスタによるON抵抗を同等ととすることができる。よって、電源電圧VDDが与えられるとき、論理ゲートの閾値電圧を略VDD/2とすることができるため、デューティ比50%のクロックが入力されるとき、出力するクロックのデューティ比50%を保証することができる。

[0044] 尚、本実施形態において、図1のように、図8のNANDゲート及びインバータで構

成されるクロック入出力装置と同様の動作を行うANDゲートにより構成されるものを例に挙げて説明したが、このANDゲート以外の構成の論理ゲートによるクロック入出力装置であっても構わない。例えば、図3Aのように、異なるクロックが入力端子に入力されるスリーステートインバータIv11、Iv12と、スリーステートインバータIv11、Iv12の出力が入力端子に入力されるスリーステートインバータIv13と、出力端子がスリーステートインバータIv12の状態制御端子に接続されたインバータIv14とで構成されるようにしても構わない。

[0045] 図3Aのように構成されるとき、スリーステートインバータIv11、Iv12それぞれに入力されるクロックを選択してスリーステートインバータIv13より出力する選択信号が、スリーステートインバータIv11の状態制御端子及びインバータIv14の入力端子に入力される。又、スリーステートインバータIv13の状態制御端子が接地されているため、スリーステートインバータIv13が入力端子に入力される信号を反転するインバータとして動作する。

[0046] 又、この図3Aのような構成のクロック入出力装置は、図3Bのように、一方のクロックとインバータIvyで反転された選択信号とが入力されるANDゲートA1と、他方のクロック及び選択信号が入力されるANDゲートA2と、ANDゲートA1、A2の出力が入力されるORゲートO1とから構成される論理ゲートと等しい構成となる。よって、選択信号がローとなるとき、スリーステートインバータIv11に入力されるクロックが選択されてスリーステートインバータIv13より出力され、又、選択信号がハイとなるとき、スリーステートインバータIv12に入力されるクロックが選択されてスリーステートインバータIv13より出力される。このように構成されるクロック入出力装置においても、スリーステートインバータIv11～Iv13及びインバータIv14の閾値電圧が略等しくなるため、デューティ比50%のクロックが入力されるとき、出力するクロックのデューティ比50%を保証することができる。

[0047] 更に、図3BのANDゲートA1、A2を、図1のように構成するとともに、ORゲートを図4のように構成するようにしても構わない。即ち、図3Aと同様の接続関係となるスリーステートインバータIv11～Iv13及びインバータIv14を備えたとともに、スリーステートインバータIv12への入力がスリーステートインバータIv11の状態制御端子及び

インバータIv14の入力端子にも入力される構成とされる。このようにORゲートを構成した場合も同様、スリーステートインバータIv11〜Iv13及びインバータIv14の閾値電圧が略等しくなるため、デューティ比50%のクロックが入力されるとき、出力するクロックのデューティ比50%を保証することができる。

<第2の実施形態>

本発明の第2の実施の形態について、図面を参照して以下に説明する。図5は、本実施形態におけるクロック入出力装置の回路構成を示す回路図である。尚、本実施形態において使用するクロック入出力装置において、図1と同一の動作を行う素子については、同一の符号を付してその詳細な説明は省略する。

[0048] 図5のクロック入出力装置は、図1のクロック入出力装置におけるスリーステートインバータIv3の代わりに、PチャンネルのMOSTランジスタTx, Ty及びNチャンネルのMOSTランジスタTz, Twによって構成されるインバータIv5を備える。このインバータIv5において、MOSTランジスタTxのソースに電源電圧VDDが印加されるとともに、MOSTランジスタTxのドレインにMOSTランジスタTyのソースが接続される。そして、MOSTランジスタTyのドレインにMOSTランジスタTzのドレインが接続されるとともに、MOSTランジスタTzのソースにMOSTランジスタTwのドレインが接続され、このMOSTランジスタTwのソースが接地される。

[0049] このインバータIv5は、MOSTランジスタTy, Yzのゲートの接続ノードが入力端子となり、スリーステートインバータIv1, Iv2の出力端子の接続ノードと接続される。又、MOSTランジスタTy, Yzのドレインの接続ノードが出力端子となり、MOSTランジスタTy, Yzのゲートに入力される信号を反転して出力する。

[0050] このように構成されるクロック入出力装置は、通常動作時において、外部よりMOSTランジスタTxにローの信号が与えられるとともにMOSTランジスタTwにハイの信号が与えられることで、MOSTランジスタTx, TwがONとされる。よって、通常動作時において、出力端子と電源電圧VDDとの間に直列に接続されたMOSTランジスタTx, Tyが、出力端子と接地電圧との間に直列に接続されたMOSTランジスタTz, Twが、それぞれ設けられた状態となる。そのため、インバータIv5は、図1のスリーステートインバータIv3と同様、その閾値電圧が略 $VDD/2$ となるインバータとして動作する。

- [0051] このようなクロック入出力装置から出力されるクロックのデューティ比を確認するために、図6のように、インバータIv5の出力端子となるMOSTランジスタTy、Tzのドレインの接続ノードに一端が接続された抵抗Rと抵抗Rの他端に接続されるとともに電源電圧VDDが印加されて抵抗Rを流れる電流の積分値を検出する電流検出器10とによって構成される測定装置11が接続される。図6のように測定装置11がクロック入出力装置に接続されて、クロック入出力装置から出力されるクロックのデューティ比が測定されるとき、MOSTランジスタTxのゲートにハイの信号が与えられて、MOSTランジスタTxがOFFとされる。又、MOSTランジスタTwはONのままである。
- [0052] このとき、電流検出器10では、抵抗Rを流れる電流を平滑した電流値を、抵抗Rを流れる電流値として検出する。そして、図7(a)のようにクロック入出力装置から出力されるクロックのデューティ比が50%であるとき、図7(b)のような電流が抵抗Rを流れる。このとき、電流検出器10で検出される抵抗Rを流れる電流の積分値をIp50とする。
- [0053] このように設定することで、図7(c)のようにクロック入出力装置から出力されるクロックのデューティ比が50%より小さいときは、抵抗Rを流れる電流が図7(d)のようになり、電流検出器10で検出される電流の積分値IpがIp50が大きくなることが確認される。又、図7(e)のようにクロック入出力装置から出力されるクロックのデューティ比が50%より大きいときは、抵抗Rを流れる電流が図7(f)のようになり、電流検出器10で検出される電流の積分値IpがIp50が小さくなることが確認される。よって、電流検出器10で検出される電流の積分値Ipの大きさとIp50とを比較することで、クロック入出力装置から出力されるクロックのデューティ比が50%であるか否かを簡単に確認することができる。
- [0054] 尚、本実施形態において、図1のような回路構成のクロック入出力装置に対して、4つのMOSTランジスタTx〜Twで構成されたインバータIv5を用いた構成とすることで、出力するクロックのデューティ比を容易に検出可能な構成としたが、図3A又は図4のような回路構成において、スリーステートインバータIv13の代わりにインバータIv5を用いた構成としても、同様の効果が得られる。このように、クロック入出力装置における最終段のインバータを図5のような構成のインバータIv5とすることで、そのクロッ

ク入出力装置のクロックのデューティ比を図6のような測定装置11によって容易に確認することができる。

- [0055] 又、本実施形態では、クロック入出力装置から出力されるクロックのデューティ比を測定する測定装置として、図6のように、電流検出器10に電源電圧VDDが印加されるものとしたが、電流検出器10が接地されるものとしても構わない。このような測定装置が接続されてクロックのデューティ比が測定されるとき、MOSTランジスタTxをONのままとするとともに、MOSTランジスタTwがOFFとされる。このとき、出力するクロックのデューティ比が大きくなるとき測定される電流値が大きくなり、又、出力するクロックのデューティ比が小さくなるとき測定される電流値が小さくなる。

#### 産業上の利用可能性

- [0056] 本発明のクロック入出力装置は、DVDプレーヤやデジタルスチルカメラや家庭用ゲーム機などのデジタル機器において、発振器などのクロックICからのクロックが入力されるとともに該クロックを他のICに出力するスイッチやセレクトアやバッファなどに適用することが可能である。



## 請求の範囲

- [1] クロックを通過させるゲートとして動作する論理ゲートにより構成されるクロック入出力装置において、
- 前記論理ゲートが、入力に対して出力を変化させる閾値電圧が供給される電源電圧の略1/2倍の電圧値であるとともにハイ・ロー・ハイインピーダンスの3出力を行うスリー
- ステートインバータと、入力に対して出力を変化させる閾値電圧が供給される電源電圧の略1/2倍の電圧値であるインバータと、によって構成されることを特徴とするクロック入出力装置。
- [2] 前記論理ゲートの1つが2入力1出力のANDゲートであり、
- 該ANDゲートが、
- 入力端子が該ANDゲート的一方の入力となる第1スリーステートインバータと、
- 入力端子が該ANDゲートの他方の入力となるとともに、入力される信号の状態によりハイインピーダンスとするか否かを決定する状態制御端子と入力端子とが接続される第2スリーステートインバータと、
- 該第1及び第2スリーステートインバータの出力端子の接続ノードと入力端子が接続されるとともに、出力端子が該ANDゲートの出力となる第1インバータと、
- 前記第2スリーステートインバータの入力端子に入力端子が接続されるとともに、出力端子が前記第1スリーステートインバータの状態制御端子に接続された第2インバータと、
- によって構成されるとともに、
- 前記第1及び第2スリーステートインバータ及び前記第1及び第2インバータの閾値電圧が、供給される電源電圧の略1/2倍の電圧値であることを特徴とする請求項1に記載のクロック入出力装置。
- [3] 前記第1インバータが、状態制御端子が接地されたスリーステートインバータであることを特徴とする請求項2に記載のクロック入出力装置。
- [4] 前記論理ゲートの1つが2入力1出力のORゲートであり、
- 該ORゲートが、

入力端子が該ORゲートの一方の入力となるとともに、入力される信号の状態によりハイインピーダンスとするか否かを決定する状態制御端子に該ORゲートの他方の入力が入力される第1スリーステートインバータと、

入力端子が該ORゲートの他方の入力となる第2スリーステートインバータと、

該第1及び第2スリーステートインバータの出力端子の接続ノードと入力端子が接続されるとともに、出力端子が該ORゲートの出力となる第1インバータと、

前記第2スリーステートインバータの入力端子に入力端子が接続されるとともに、出力端子が前記第2スリーステートインバータの状態制御端子に接続された第2インバータと、

によって構成されるとともに、

前記第1及び第2スリーステートインバータ及び前記第1及び第2インバータの閾値電圧が、供給される電源電圧の略1/2倍の電圧値であることを特徴とする請求項1に記載のクロック入出力装置。

- [5] 前記第1インバータが、状態制御端子が接地されたスリーステートインバータであることを特徴とする請求項3に記載のクロック入出力装置。

- [6] 前記論理ゲートの1つが、入力される選択信号に基づいて2つのクロックから1つのクロックを選択して出力する論理ゲートであり、

該論理ゲートが、

入力端子に一方のクロックが入力されるとともに、入力される信号の状態によりハイインピーダンスとするか否かを決定する状態制御端子に前記選択信号が入力される第1スリーステートインバータと、

入力端子に他方のクロックが入力される第2スリーステートインバータと、

該第1及び第2スリーステートインバータの出力端子の接続ノードと入力端子が接続されるとともに、出力端子が該論理ゲートの出力となる第1インバータと、

入力端子に前記選択信号が入力されるとともに、出力端子が前記第2スリーステートインバータの状態制御端子に接続された第2インバータと、

によって構成されるとともに、

前記第1及び第2スリーステートインバータ及び前記第1及び第2インバータの閾値

電圧が、供給される電源電圧の略1/2倍の電圧値であることを特徴とする請求項1に記載のクロック入出力装置。

[7] 前記第1インバータが、状態制御端子が接地されたスリーステートインバータであることを特徴とする請求項4に記載のクロック入出力装置。

[8] 前記スリーステートインバータが、  
第1電極に電源電圧が印加される第1トランジスタと、  
該第1トランジスタの第2電極に第1電極が接続される該第1トランジスタと同一極性の第2トランジスタと、  
該第2トランジスタの第2電極に第2電極が接続される該第1トランジスタと逆極性の第3トランジスタと、  
該第3トランジスタの第1電極に第2電極が接続されるとともに、第1電極が接地される該第1トランジスタと逆極性の第4トランジスタと、  
出力端子が前記第3トランジスタの制御電極に接続されたインバータと、  
を備えるとともに、  
前記第1及び前記第4トランジスタの制御電極の接続ノードが当該スリーステートインバータの入力端子として、前記第2及び第3トランジスタの第2電極の接続ノードが当該スリーステートインバータの出力端子として、前記第2トランジスタの制御電極と前記インバータの入力端子との接続ノードが当該スリーステートインバータの状態制御端子として、それぞれ構成されることを特徴とする請求項1〜請求項7のいずれかに記載のクロック入出力装置。

[9] 前記クロック入出力装置の最終段に設けられるインバータが、  
第1電極に電源電圧が印加されるとともに、通常動作時にはONとされる第5トランジスタと、  
該第5トランジスタの第2電極に第1電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第5トランジスタと同一極性の第6トランジスタと、  
該第6トランジスタの第2電極に第2電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第5トランジスタと逆極性の第7トランジスタと、

該第7トランジスタの第1電極に第2電極が接続され、第1電極が接地されるとともに、通常動作時にはONとされる該第5トランジスタと逆極性の第8トランジスタと、  
によって構成され、

該クロック入出力装置から出力されるクロックのデューティ比を計測する際、

一方の端子が接地電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第6トランジスタの第2電極及び前記第7トランジスタの第2電極の接続ノードとを

接続する場合、前記第5トランジスタをONとするとともに前記第8トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測し、

又、一方の端子が電源電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第6トランジスタの第2電極及び前記第7トランジスタの第2電極の接続ノードとを接続する場合、前記第8トランジスタをONとするとともに前記第5トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測することを特徴とする請求項1に記載のクロック入出力装置。

[10] クロックを通過させるゲートとして動作する論理ゲートにより構成されるクロック入出力装置において、

該クロック入出力装置の最終段に設けられるインバータが、

第1電極に電源電圧が印加されるとともに、通常動作時にはONとされる第1トランジスタと、

該第1トランジスタの第2電極に第1電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第1トランジスタと同一極性の第2トランジスタと

、  
該第2トランジスタの第2電極に第2電極が接続され、制御電極に前段の論理ゲートから出力されるクロックが入力される該第1トランジスタと逆極性の第3トランジスタと、

該第3トランジスタの第1電極に第2電極が接続され、第1電極が接地されるとともに、通常動作時にはONとされる該第1トランジスタと逆極性の第4トランジスタと、

によって構成され、

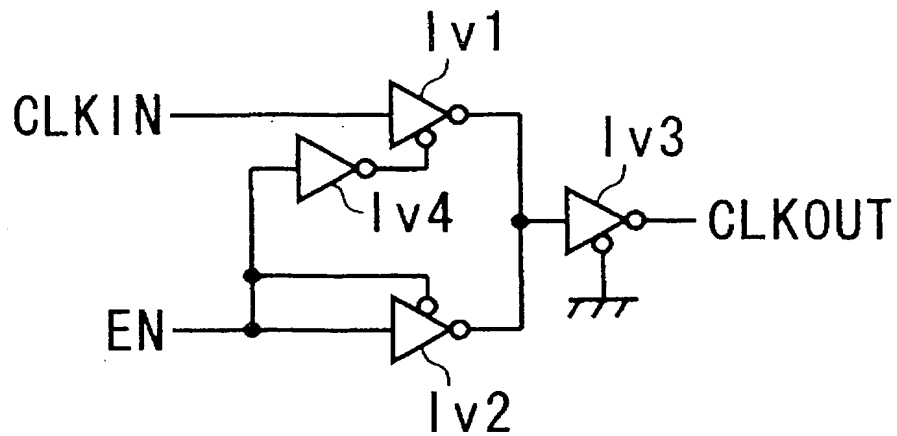
該クロック入出力装置から出力されるクロックのデューティ比を計測する際、

一方の端子が接地電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第2トランジスタの第2電極及び前記第3トランジスタの第2電極の接続ノードとを接続する場合、前記第1トランジスタをONとするとともに前記第4トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測し、

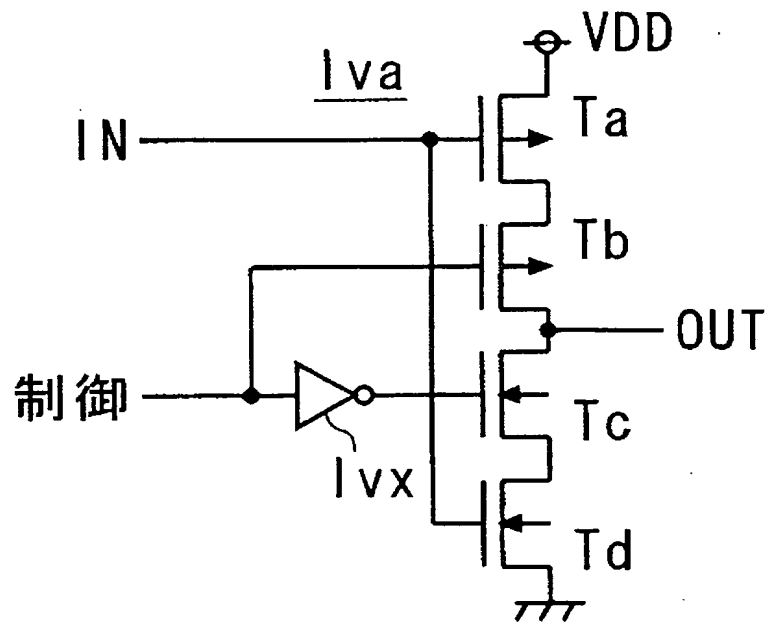
又、一方の端子が電源電圧と接続された抵抗の他方の端子と、前記インバータの出力となる前記第2トランジスタの第2電極及び前記第3トランジスタの第2電極の接続ノードとを接続する場合、前記第4トランジスタをONとするとともに前記第1トランジスタをOFFとして、前記抵抗を流れる電流を測定することで、出力クロックのデューティ比を計測することを特徴とするクロック入出力装置。

1/5

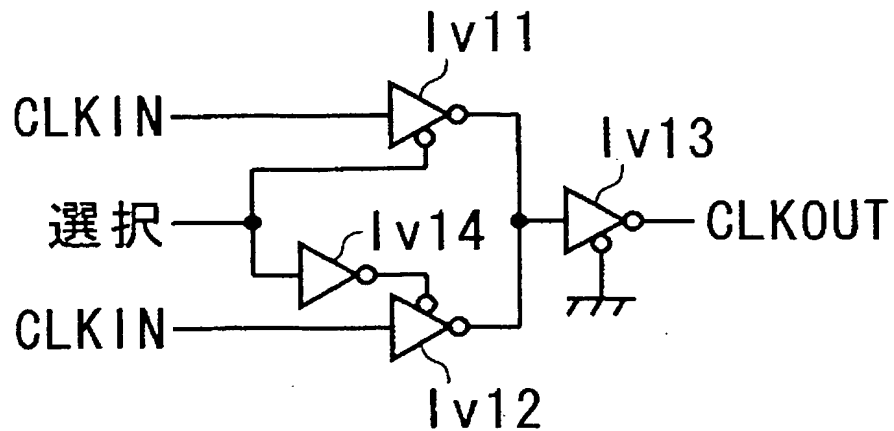
[図1]



[図2]

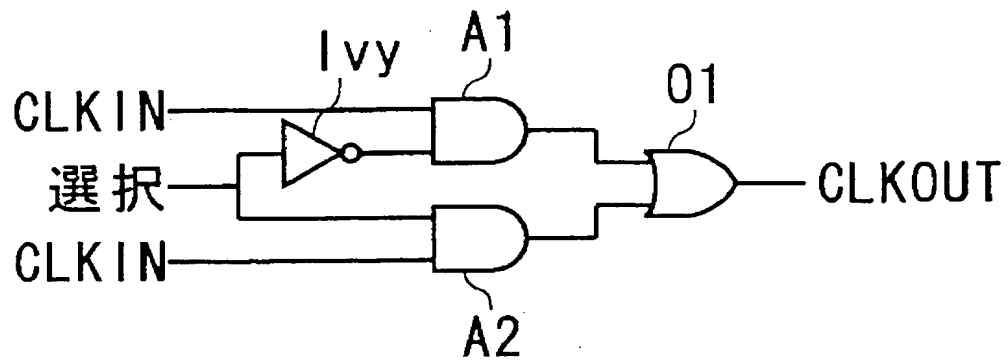


[図3A]

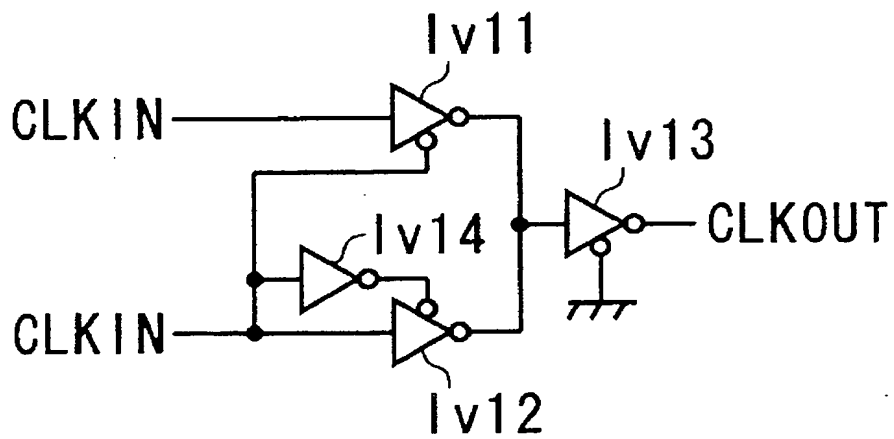


2/5

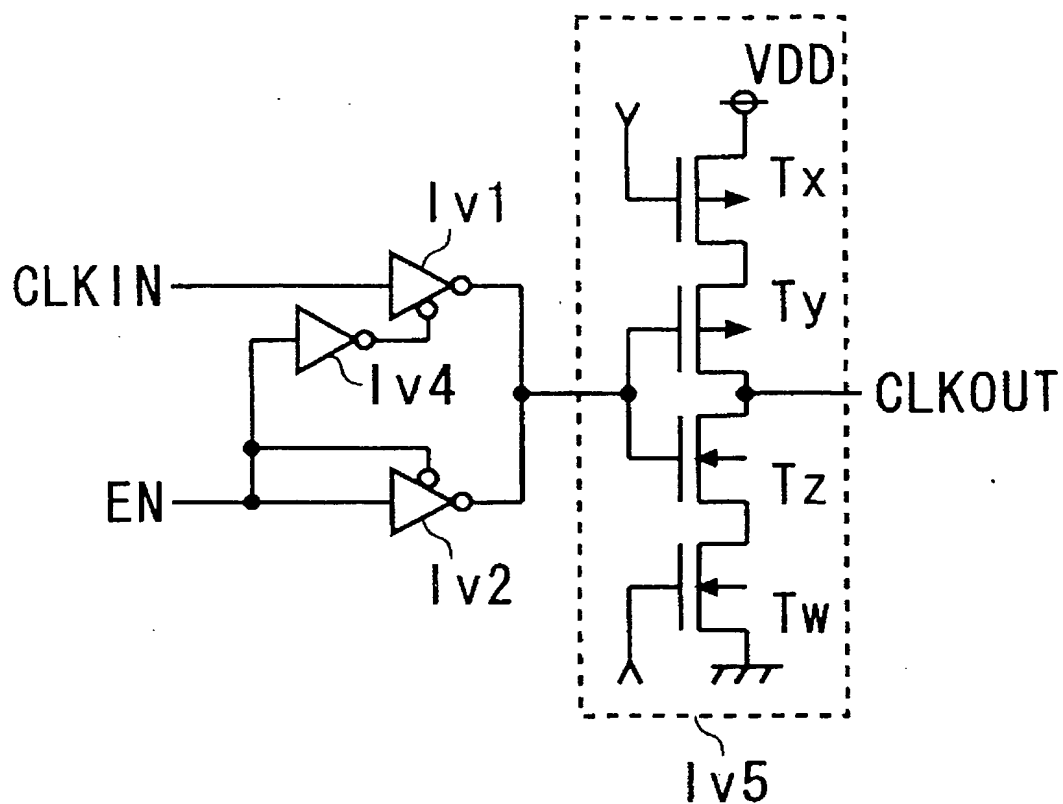
[図3B]



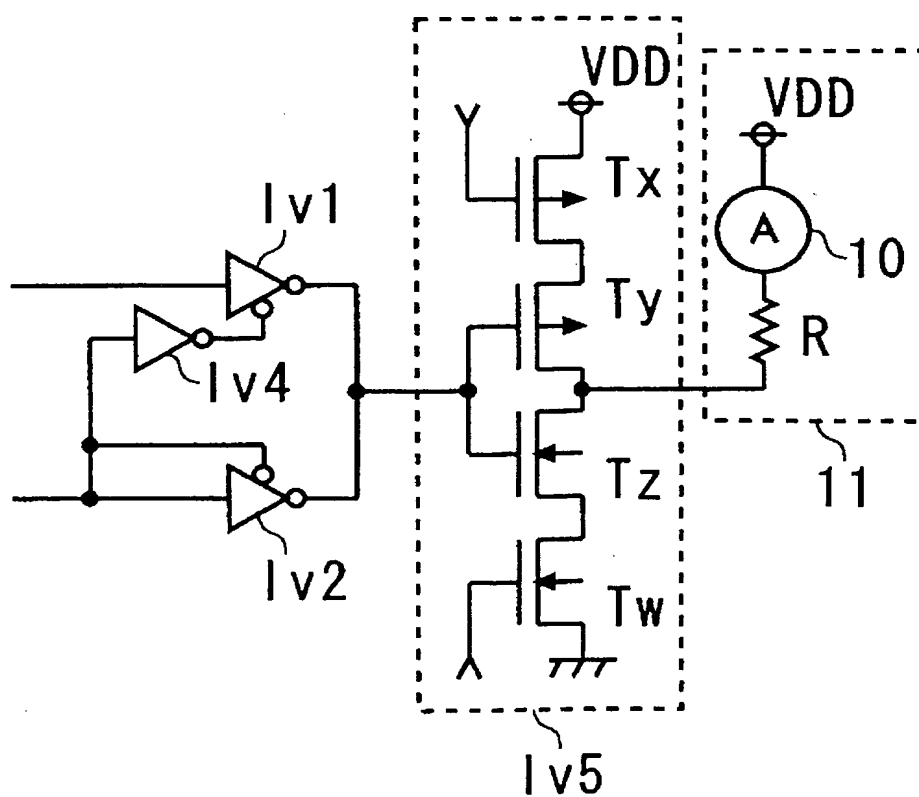
[図4]



[図5]



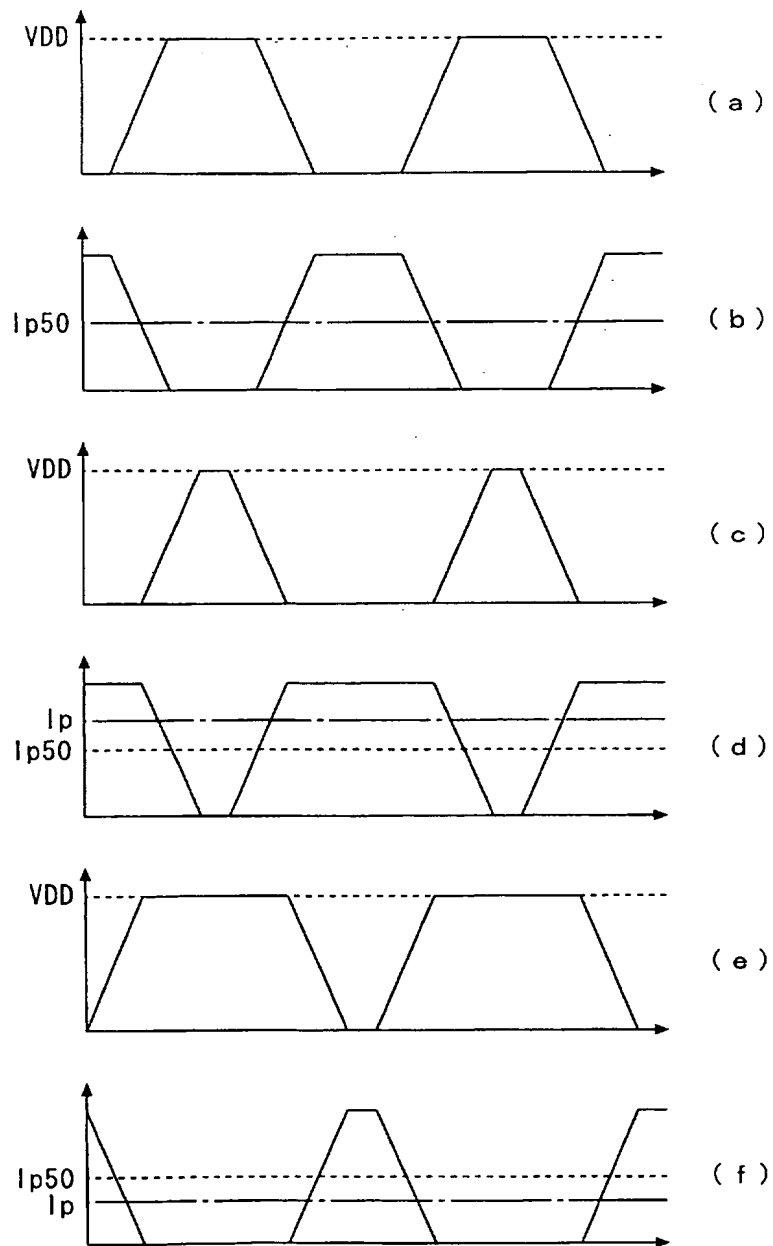
[図6]



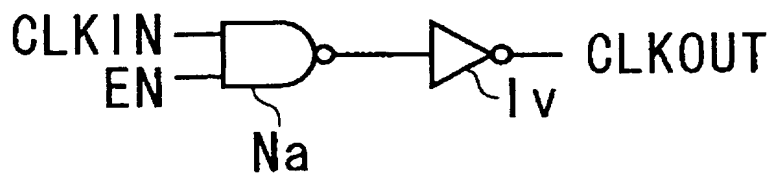


4/5

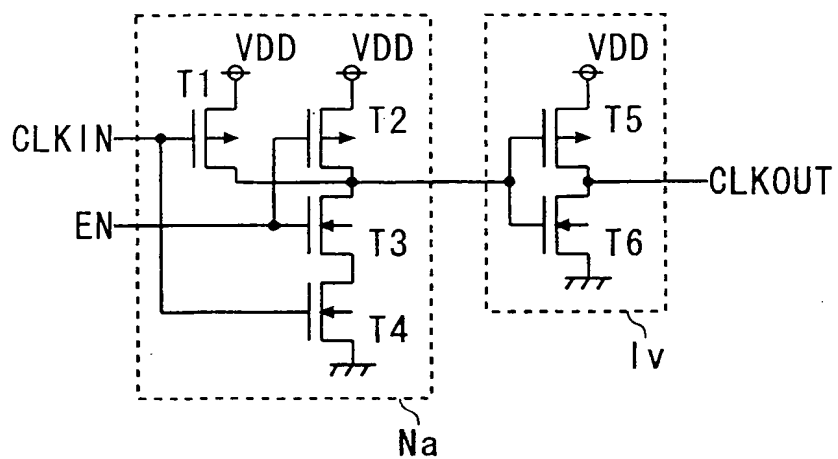
[図7]



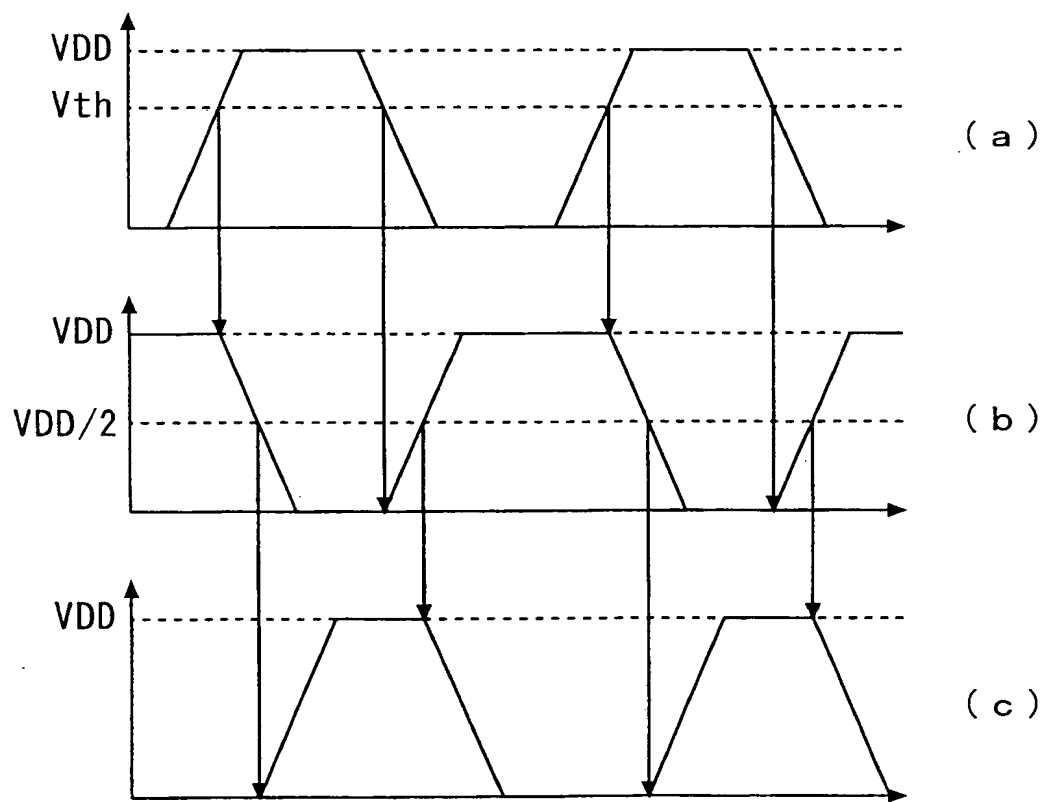
[図8]



[図9]



[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011170

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03K19/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03K19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-334888 A (Toshiba Corp.), 17 December, 1993 (17.12.93), Fig. 1; Columns 17, 19 (Family: none)	1 6, 8
Y	JP 1-296818 A (Fujitsu Ltd.), 30 November, 1989 (30.11.89), Fig. 4 & US 5053646 A	6
Y	JP 60-41325 A (NEC Corp.), 05 March, 1985 (05.03.85), Fig. 1 (Family: none)	8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
26 August, 2004 (26.08.04)Date of mailing of the international search report  
14 September, 2004 (14.09.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011170

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-183426 A (Mitsubishi Electric Corp.), 06 July, 2001 (06.07.01), Fig. 1; column 17 & US 6335645 B	1
A	JP 11-88142 A (Mitsubishi Electric Corp.), 30 March, 1999 (30.03.99), Fig. 1; columns 32 to 33 (Family: none)	2, 4
A	JP 2-222217 A (Toshiba Corp.), 05 September, 1990 (05.09.90), Fig. 3 (Family: none)	2, 4
A	JP 2000-306382 A (Hitachi, Ltd.), 02 November, 2000 (02.11.00), Fig. 7 & US 6339344 B	3
A	JP 2002-353808 A (NEC Corp.), 06 December, 2002 (06.12.02), Fig. 12; column 58 & US 2003/0038659 A1	6
A	JP 11-243327 A (Hitachi, Ltd.), 07 September, 1999 (07.09.99), Fig. 3; column 17 (Family: none)	9, 10
A	JP 8-195656 A (Symbios Logic Inc.), 30 July, 1996 (30.07.96), Fig. 1; column 22 & US 5477180 A	9, 10
A	WO 1984/002621 A1 (WESTERN ELECTRIC COMPANY, INC.), 05 July, 1984 (05.07.84), Fig. 1; page 4, lines 15 to 25 & JP 60-500115 A	9, 10
A	JP 2001-195163 A (NEC Corp.), 19 July, 2001 (19.07.01), Fig. 4; column 43 (Family: none)	1-10
A	JP 2-124629 A (NEC Corp.), 11 May, 1990 (11.05.90), Fig. 4; page 2, upper left column, lines 9 to 17; page 2, lower left column, lines 14 to 15 (Family: none)	1-10

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	6, 図1、本文第17欄 & US 6335645 B	
A	JP 11-88142 A (三菱電機株式会社) 1999. 03. 30, 図1、本文第32欄~第33欄 (ファミリーなし)	2、4
A	JP 2-222217 A (株式会社東芝) 1990. 09. 05, 第3図 (ファミリーなし)	2、4
A	JP 2000-306382 A (株式会社日立製作所) 2000. 11. 02, 図7 & US 6339344 B	3
A	JP 2002-353808 A (日本電気株式会社) 2002. 12. 06, 図12、本文第58欄 & US 2003/0038659 A1	6
A	JP 11-243327 A (株式会社日立製作所) 1999. 09. 07, 図3、本文第17欄 (ファミリーなし)	9、10
A	JP 8-195656 A (シンバイオス・ロジック・インコーポレイテッド) 1996. 07. 30, 図1、本文第22欄 & US 5477180 A	9、10
A	WO 1984/002621 A1 (WESTERN ELECTRIC COMPANY, INC.) 1984. 07. 05、図1、本文第4頁第15行~第25行 & JP 60-500115 A	9、10
A	JP 2001-195163 A (日本電気株式会社) 2001. 07. 19, 図4、本文第43欄 (ファミリーなし)	1-10
A	JP 2-124629 A (日本電気株式会社) 1990. 05. 11, 第4図、本文第2頁左上欄第9行~第17行、同頁左下欄第14行~第15行 (ファミリーなし)	1-10

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03K 19/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03K 19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 5-334888 A (株式会社東芝) 1993. 12. 17, 図1、本文第17欄、第19欄 (ファミリーなし)	1 6, 8
Y	JP 1-296818 A (富士通株式会社) 1989. 11. 30, 第4図 & US 5053646 A	6
Y	JP 60-41325 A (日本電気株式会社) 1985. 03. 05, 第1図 (ファミリーなし)	8
A	JP 2001-183426 A (三菱電機株式会社) 2001. 07. 0	1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

26. 08. 2004

国際調査報告の発送日

14. 9. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

彦田克文

5X

9182

電話番号 03-3581-1101 内線 3556